

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 4 日
Date of Application:

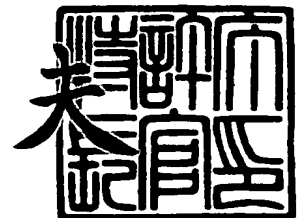
出 願 番 号 特 願 2 0 0 3 - 2 7 0 9 5 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 7 0 9 5 5]

出 願 人 沖電気工業株式会社
Applicant(s): 株式会社 沖マイクロデザイン

2 0 0 3 年 1 2 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 KA003914
【提出日】 平成15年 7月 4日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 H03F 3/345
【発明者】
 【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社 沖マイクロデザイン内
 【氏名】 藤本 秀一郎
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【特許出願人】
 【識別番号】 591049893
 【氏名又は名称】 株式会社 沖マイクロデザイン
【代理人】
 【識別番号】 100086807
 【弁理士】
 【氏名又は名称】 柿本 恭成
【手数料の表示】
 【予納台帳番号】 007412
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9001054

【書類名】 特許請求の範囲**【請求項 1】**

第 1 と第 4 の電位に接続されて動作する半導体集積回路におけるバイアス用の基準電圧を発生する基準電圧発生回路であって、

前記第 1 及び第 4 の電位間の第 2 の電位にソースが接続され、ゲートとドレインが第 1 のノードに接続された第 1 導電型の第 1 のトランジスタと、

前記第 2 及び第 4 の電位間の第 3 の電位に一端が接続され、他端が前記第 1 のノードに接続された電流制限用の抵抗と、

前記第 2 の電位にソースが接続され、前記第 1 のノードにゲートが接続され、ドレインが第 1 の基準電圧が出力される第 2 のノードに接続された第 1 導電型の第 2 のトランジスタと、

前記第 2 のノードにドレインとゲートが接続され、ソースが前記第 4 の電位に接続された第 2 導電型の第 3 のトランジスタと、

前記第 4 の電位にソースが接続され、前記第 2 のノードにゲートが接続され、ドレインが第 2 の基準電圧が出力される第 3 のノードに接続された第 2 導電型の第 4 のトランジスタと、

前記第 1 の電位にソースが接続され、ゲートとドレインが前記第 3 のノードに接続された第 1 導電型の第 5 のトランジスタとを、

備えたことを特徴とする基準電圧発生回路。

【請求項 2】

待機信号が与えられたときに、前記第 2 の電位と前記第 1 のノードの間を短絡する第 6 のトランジスタと、

前記待機信号が与えられたときに、前記抵抗と前記第 3 の電位の間を開放する第 7 のトランジスタと、

前記待機信号が与えられたときに、前記第 1 の電位と前記第 3 のノードの間を短絡する第 8 のトランジスタと、

前記待機信号が与えられたときに、前記第 4 の電位と前記第 2 のノードの間を短絡する第 9 のトランジスタとを、

設けたことを特徴とする請求項 1 記載の基準電圧発生回路。

【書類名】明細書

【発明の名称】基準電圧発生回路

【技術分野】

【0001】

本発明は、半導体集積回路でバイアス用の基準電圧を発生するための基準電圧発生回路に関するものである。

【背景技術】

【0002】

図2は、従来の基準電圧発生回路を示す回路図である。

この基準電圧発生回路は、定電圧を発生するPチャネルMOSトランジスタ（以下、「PMOS」という）1を有し、このPMOS1のソースが電位VDDに接続され、ゲートとドレインがノードN1に接続されている。ノードN1は電流制限用の抵抗2を介して電位VEEに接続され、このノードN1から第1の基準電圧VREF1が出力されるようになっている。また、ノードN1には、PMOS1に対して電流ミラー回路を構成するPMOS3のゲートが接続されている。

【0003】

PMOS3のソースは電位VDDに、ドレインはノードN2に、それぞれ接続されている。ノードN2と電位VEEの間には、順方向にダイオード接続されたNチャネルMOSトランジスタ（以下、「NMOS」という）4が接続され、このノードN2から第2の基準電圧VREF2が出力されるようになっている。

【0004】

このような基準電圧発生回路では、PMOS1と抵抗2を介して、電位VDDから電位VEEに電流が流れる。このときPMOS1のソース・ドレイン間の電圧は、流れる電流に拘らず、このPMOS1の閾値電圧 V_{tp} となる。従って、ノードN1に出力される基準電圧VREF1は、電位VDDから閾値電圧 V_{tp} だけ低い一定電圧となる。

【0005】

一方、電流ミラー回路を構成するPMOS3には、PMOS1の電流に比例した大きさの電流が流れ、このPMOS3の電流はNMOS4を介して電位VEEに流れる。このとき、NMOS4のドレイン・ソース間の電圧は、流れる電流に拘らずこのNMOS4の閾値電圧 V_{tn} となる。従って、ノードN2に出力される基準電圧VREF2は、電位VEEから閾値電圧 V_{tn} だけ高い一定電圧となる。このように、電流制限用の抵抗2によってPMOS1、3及びNMOS4に流れる基準電流を制限し、小さな消費電流で2種類の基準電圧VREF1、VREF2を発生することができる。

【0006】

【特許文献1】特開平9-101831号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

解決しようとする問題点は、電位VDD、VEEの電位差が大きい場合、基準電流を抑制するために抵抗2の値を大きくする必要があり、集積回路のパターン面積が大きくなってしまふことである。

【0008】

例えば、 $VDD = +15V$ 、 $VEE = -15V$ の時に、基準電流を $1\mu A$ に設定すると、抵抗2の値は $30M\Omega$ となる。また、PMOS1の W/L （＝ゲート幅／ゲート長）を $20\mu m / 7\mu m$ 、PMOS3の W/L を $400\mu m / 7\mu m$ 、NMOS4の W/L を $200\mu m / 7\mu m$ とすると、概略のパターン面積は、抵抗2の領域が $200\mu m \times 200\mu m = 40,000\mu m^2$ 、トランジスタ1、3、4の領域が $200\mu m \times 50\mu m = 10,000\mu m^2$ となり、合計で $50,000\mu m^2$ となる。

【0009】

一方、抵抗2の領域を小さくすると、大きな抵抗値を得ることができなくなり、消費電

流が大きくなってしまう。

【0010】

本発明は、集積回路のパターン面積を大きくせずに、消費電流を制限することができる基準電圧発生回路を提供するものである。

【課題を解決するための手段】

【0011】

本発明は、第1と第4の電位に接続されて動作する半導体集積回路におけるバイアス用の基準電圧を発生する基準電圧発生回路を、次のような第1～第5のトランジスタと電流制限用の抵抗とで構成する。

【0012】

第1のトランジスタは、第1及び第4の電位間の第2の電位にソースが接続され、ゲートとドレインが第1のノードに接続される。抵抗の一端は、第2及び第4の電位間の第3の電位に接続され、他端が第1のノードに接続される。第2のトランジスタは、第2の電位にソースが接続され、第1のノードにゲートが接続され、ドレインが第2のノードに接続され、この第2のノードに第1の基準電圧が出力される。

【0013】

第3のトランジスタは、第2のノードにドレインとゲートが接続され、ソースが第4の電位に接続される。第4のトランジスタは、第4の電位にソースが接続され、第2のノードにゲートが接続され、ドレインが第3のノードに接続され、この第3のノードに第2の基準電圧が出力される。更に、第5のトランジスタは、第1の電位にソースが接続され、ゲートとドレインが第3のノードに接続される。

【0014】

更に、待機信号が与えられたときに、この基準電圧発生回路に流れる電流を停止させるために、第2の電位と前記第1のノードの間を短絡する第6のトランジスタと、電流制限用の抵抗と第3の電位の間を開放する第7のトランジスタと、第1の電位と第3のノードの間を短絡する第8のトランジスタと、第4の電位と第2のノードの間を短絡する第9のトランジスタとが設けられている。

【発明の効果】

【0015】

本発明の基準電圧発生回路は、通常の電源電位である第1と第4の電位の他に、これらの中間の第2と第3の電位を使用し、この第2と第3の電位間に基準電圧発生用の電流を流すように構成している。これにより、電流制限用の抵抗の値が小さくても、基準電圧発生用の電流を十分小さく設定することが可能になり、回路パターン上に占める抵抗の面積を小さくすることができるという効果がある。

【0016】

更に、待機信号が与えられたときに、基準電圧発生回路に流れる電流を停止させるためのトランジスタを設けることにより、待機状態時の消費電力を低減することができる。

【発明を実施するための最良の形態】

【0017】

この基準電圧発生回路では、通常の電源電圧として用いられる電源電位VDD（例えば、+1.5V）と電源電位VEE（例えば、-1.5V）の他に、これよりも低レベルの電源電位VCC（例えば、+3V）と電源電位VSS（例えば、0V）を使用する。そして、この電源電位VCC、VSSの間に、一定電圧を発生させるための第1のトランジスタと、この第1のトランジスタに流れる電流を制限するための抵抗を直列に接続する。更に、第1のトランジスタに対して電流ミラー回路を構成する第2のトランジスタを設け、この第2のトランジスタを電源電位VDD、VEE等に接続することにより、電源電位VDD、VEEから基準電圧発生用の電流を流す。これにより、電流制限用の抵抗を電源電位VDD、VEEに接続した場合に比べて、小さな抵抗値でも基準電圧発生用の電流が十分小さな値に制限される。

【実施例1】

【0018】

図1は、本発明の実施例1を示す基準電圧発生回路の構成図である。

この基準電圧発生回路は、定電圧を発生するPMOS11を有し、このPMOS11のソースが電位VCC（例えば、+3V）に接続され、ゲートとドレインはノードN11に接続されている。ノードN11には電流制限用の抵抗12の一端が接続され、この抵抗12の他端がNMOS18を介して電位VSS（例えば、0V）に接続されている。

【0019】

ノードN11には、PMOS11に対して電流ミラー回路を構成するPMOS13のゲートが接続され、このPMOS13のソースとドレインが、それぞれ電位VCCとノードN12に接続されている。ノードN12には、NMOS14のドレインとゲートが接続され、このNMOS14のソースが電位VEE（例えば、-15V）に接続されている。

【0020】

また、ノードN12には、NMOS14に対して電流ミラー回路を構成するNMOS15のゲートが接続されている。NMOS15のソースは電位VEEに接続され、ドレインがノードN13に接続されている。ノードN13にはPMOS16のゲートとドレインが接続され、このPMOS16のソースは、電位VDD（例えば、+15V）に接続されている。そして、ノードN12、13から、それぞれ基準電圧VREF1、VREF2が出力されるようになっている。

【0021】

一方、この基準電圧発生回路は、待機信号/STB（但し、「/」は反転論理を表す）によって回路の動作を停止することができるよう構成されている。即ち、この基準電圧発生回路は、ソースが電位VCCに接続され、ドレインがノードN11に接続されたPMOS17を有しており、このPMOS17と前述のNMOS18のゲートに、待機信号/STBが与えられるようになっている。更に、電位VDDとノードN13の間にはPMOS19aが接続され、ノードN12と電位VEEの間にはNMOS19bが接続されている。PMOS19aとNMOS19bのゲートには、レベルシフト部30から待機信号/STBS、STBSがそれぞれ与えられるようになっている。

【0022】

図3は、図1中のレベルシフト部30の一例を示す回路図である。

このレベルシフト部30は、待機信号/STBとして与えられる電位VCC、VSSの信号レベルを変換して、電位VDD、VEEの相補的な待機信号STBS、/STBSを生成するものである。

【0023】

このレベルシフト部30は、待機信号/STBか相補的な待機信号STB、/STBを生成するための、縦続接続されたインバータ31（PMOS31a及びNMOS31b）とインバータ32（PMOS32a及びNMOS32b）を有している。インバータ31、32の出力側は、待機信号STB、/STBを電位VCC、VEEレベルの信号に変換するための、PMOS33a、33b及びNMOS34a、34bで構成されるシフト回路に接続されている。

【0024】

シフト回路のPMOS33a、33bのソースは電位VCCに接続され、インバータ32、31の出力側がこれらのゲートにそれぞれ接続されている。PMOS33aのドレインは、NMOS34aのドレインとNMOS34bのゲートに接続され、PMOS33bのドレインが、NMOS34bのドレインとNMOS34aのゲートに接続されている。NMOS34a、34bのソースは電位VEEに接続され、このNMOS34bのドレインから、電位VCC、VEEレベルの信号STBIが出力されるようになっている。

【0025】

更に、レベルシフト部30は、信号STBIから相補的な信号STBI、/STBIを生成するための、縦続接続されたインバータ35（PMOS35a及びNMOS35b）とインバータ36（PMOS36a及びNMOS36b）を有している。インバータ35

、36の出力側は、最終的な電位VDD、VEEレベルの待機信号STBS、/STBSを生成するための、NMOS37a、37b及びPMOS38a、38bで構成されるシフト回路に接続されている。

【0026】

シフト回路のNMOS37a、37bのソースは電位VEEに接続され、インバータ36、35の出力側がこれらのゲートにそれぞれ接続されている。NMOS37aのドレインは、PMOS38aのドレインとPMOS38bのゲートに接続され、NMOS37bのドレインが、PMOS38bのドレインとPMOS38aのゲートに接続されている。PMOS38a、38bのソースは電位VDDに接続され、これらのPMOS38a、38bのドレインから、電位VDD、VEEレベルの待機信号STBS、/STBSがそれぞれ出力されるようになっている。

次に、動作を説明する。

【0027】

(1) 待機信号/STBがレベル“L”（電位VSS）の時

PMOS17はオン、NMOS18はオフとなり、抵抗12に電流は流れず、ノードN11は電位VCCとなる。これにより、NMOS11、13はオフとなり、電位VCCと電位VSS、VEE間の電流は遮断される。また、レベルシフト部30から出力される待機信号STBS、/STBSは、それぞれレベル“H”、“L”となる。これにより、PMOS19aとNMOS19bは共にオンとなり、基準電圧VREF1、VREF2は、それぞれ電位VEE、VDDとなる。これにより、電位VDDと電位VEE間の電流は遮断される。

【0028】

(2) 待機信号/STBが“H”（電位VCC）の時

待機信号/STBが“L”から“H”に変化すると、PMOS17はオフ、NMOS18はオンとなる。また、レベルシフト部30から出力される待機信号STBS、/STBSは、それぞれ“L”、“H”となり、PMOS19aとNMOS19bは共にオフとなる。

【0029】

NMOS18がオンとなったことにより、ノードN11は瞬間的に電位VSSにプルダウンされ、PMOS11に電流が流れ始める。ノードN11の電位は上昇し、PMOS11の閾値電圧を V_t とすると、最終的に $VCC - V_t$ となる。このとき、電位VCCから、PMOS11、抵抗12及びNMOS18を介して電位VSSに流れる電流は、この抵抗12によって制限された一定電流となる。

【0030】

一方、PMOS13のゲートはノードN11に接続され、PMOS11に対して電流ミラー回路が構成されているので、このPMOS13に流れる電流は、PMOS11、13のディメンジョン(W/L)の比によって決定される。即ち、電位VCCから、PMOS13及びNMOS14を介して電位VEEに流れる電流は、この電位VEEのレベルに関係なく、PMOS11に流れる電流に比例する。

【0031】

NMOS14のゲートとドレインは、PMOS13のドレインと共にノードN12に接続されているので、このノードN12には、電位VEEよりもNMOS14に生じる電圧 V_{tn} （例えば、1V）だけ高い基準電圧VREF1(=VEE+ V_{tn})が出力される。

【0032】

更に、NMOS15のゲートはノードN12に接続され、NMOS14に対して電流ミラー回路が構成されているので、このNMOS15に流れる電流は、NMOS14、15のディメンジョンの比によって決定される。即ち、電位VDDから、PMOS16及びNMOS15を介して電位VEEに流れる電流は、この電位VDDのレベルに関係なく、NMOS14に流れる電流に比例する。

【0033】

PMOS 16 のゲートとドレインは、NMOS 15 のドレインと共にノード N 13 に接続されているので、このノード N 13 には、電位 VDD よりも PMOS 16 に生じる電圧 V_{tp} (例えば、1 V) だけ低い基準電圧 V_{REF2} ($=VDD - V_{tp}$) が出力される。

【0034】

以上のように、この実施例 1 の基準電圧発生回路は、電流制限用の抵抗 12 に印加する電圧として、通常の電源電圧 ($VDD - V_{EE}$) ではなく、これよりも低い電圧 ($VCC - V_{SS}$) を使用している。このため、小さな抵抗値であっても、抵抗 12 に流れる電流を十分小さな値に制限することができる。

【0035】

例示したように、 $VDD = +1.5V$, $VCC = +3V$, $VSS = 0V$, $VEE = -1.5V$ とすると、 $VDD - V_{EE} = 3.0V$ に対して $VCC - V_{SS} = 3V$ であるので、抵抗 12 の値を従来の 10 分の 1 にすることが可能になる。

【0036】

PMOS 11 の W/L を $20\mu m / 7\mu m$ 、PMOS 13 と NMOS 14 の W/L を $40\mu m / 7\mu m$ 、NMOS 15 の W/L を $200\mu m / 7\mu m$ 、PMOS 16 の W/L を $400\mu m / 7\mu m$ 、PMOS 17, NMOS 18, PMOS 19a, NMOS 19b の W/L を $10\mu m / 5\mu m$ とし、抵抗 12 の値を $3M\Omega$ とすると、概略のパターン面積は、抵抗 12 の領域が $200\mu m \times 20\mu m = 4,000\mu m^2$ 、トランジスタの領域が $200\mu m \times 60\mu m = 12,000\mu m^2$ 、レベルシフト部 30 の領域が $200\mu m \times 15\mu m$ となり、合計で $19,000\mu m^2$ となる。これは、従来の面積の 38% であり、62% の面積を削減することができる。

【0037】

更に、この実施例 1 の基準電圧発生回路は、待機信号 STB によって回路の動作を停止することができるように構成しているので、待機時の消費電流を更に低減することができる。

【実施例 2】**【0038】**

図 4 は、本発明の実施例 2 を示す基準電圧発生回路の構成図であり、図 1 中の PMOS と NMOS を入れ替えたものである。これに伴い、電位 VCC, VSS と、電位 VDD, VEE をそれぞれ入れ替えている。

【0039】

即ち、この基準電圧発生回路は、定電圧発生用の NMOS 21 を有し、この NMOS 21 のソースが電位 VSS に接続され、ゲートとドレインはノード N 21 に接続されている。ノード N 21 には電流制限用の抵抗 22 の一端が接続され、この抵抗 22 の他端が PMOS 28 を介して電位 VCC に接続されている。

【0040】

ノード N 21 には、NMOS 21 に対して電流ミラー回路を構成する NMOS 23 のゲートが接続され、この NMOS 23 のソースとドレインが、それぞれ電位 VSS とノード N 22 に接続されている。ノード N 22 には、PMOS 24 のドレインとゲートが接続され、この PMOS 24 のソースが電位 VDD に接続されている。

【0041】

また、ノード N 22 には、PMOS 24 に対して電流ミラー回路を構成する PMOS 25 のゲートが接続されている。PMOS 25 のソースは電位 VDD に接続され、ドレインがノード N 23 に接続されている。ノード N 23 には NMOS 26 のゲートとドレインが接続され、この NMOS 26 のソースは、電位 VEE に接続されている。そして、ノード N 22, 23 から、それぞれ基準電圧 V_{REF1} , V_{REF2} が出力されるようになっている。

【0042】

一方、この基準電圧発生回路は、待機信号 STB によって回路の動作を停止することができるように構成されている。即ち、この基準電圧発生回路は、ソースが電位 VSS に接続され、ドレインがノード N21 に接続された NMOS 27 を有しており、この NMOS 27 と前述の PMOS 28 のゲートに、待機信号 STB が与えられるようになっている。更に、電位 VDD とノード N22 の間には PMOS 29a が接続され、ノード N23 と電位 VEE の間には NMOS 29b が接続されている。PMOS 29a と NMOS 29b のゲートには、図 1 と同様に、レベルシフト部 30 から待機信号 STBS, /STBS がそれぞれ与えられるようになっている。

【0043】

この基準電圧発生回路の基本的な動作は、図 1 に示した実施例 1 と同様であり、同様の効果を有する。

【産業上の利用可能性】

【0044】

本発明の活用例として、例えば、次のようなものがある。

【0045】

(a) レベルシフト部 30 の回路構成は、図 3 に例示したものに限定されない。例えば、このレベルシフト部 30 は、電位 VCC, VSS の信号レベルで与えられる待機信号 /STB を、電位 VDD, VEE のレベルに変換するものであるが、待機信号が電位 VDD, VEE のレベルで与えられる場合には、電位 VCC, VSS のレベルに変換する必要がある。

【0046】

(b) 図 1 及び図 4 の基準電圧発生回路は、待機時に回路の動作を停止させるための構成を有しているが、常時動作をしていて待機状態がない装置に適用する場合には、これらの構成は不要である。例えば図 1 の場合、PMOS 17, 19a、NMOS 18, 19b、及びレベルシフト部 30 を削除すると共に、抵抗 12 の他端を電位 VSS に接続すればよい。

【0047】

(c) 電位 VDD, VCC, VSS, VEE の関係は、 $VDD \geq VCC \geq VSS \geq VEE$ の条件を満たしていれば、その値は任意である。

【図面の簡単な説明】

【0048】

【図 1】 本発明の実施例 1 を示す基準電圧発生回路の構成図である。

【図 2】 従来の基準電圧発生回路を示す回路図である。

【図 3】 図 1 中のレベルシフト部 30 の一例を示す回路図である。

【図 4】 本発明の実施例 2 を示す基準電圧発生回路の構成図である。

【符号の説明】

【0049】

11, 13, 16, 17, 19a, 24, 25, 28, 29a	PMOS
12	抵抗
14, 15, 18, 19a, 21, 23, 26, 27, 29b	NMOS
30	レベルシフト部

【図 3】

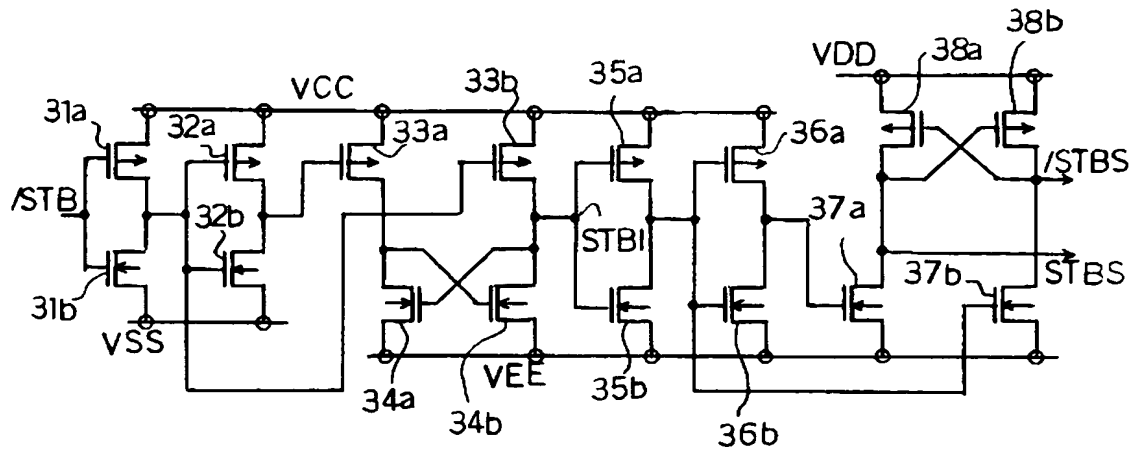
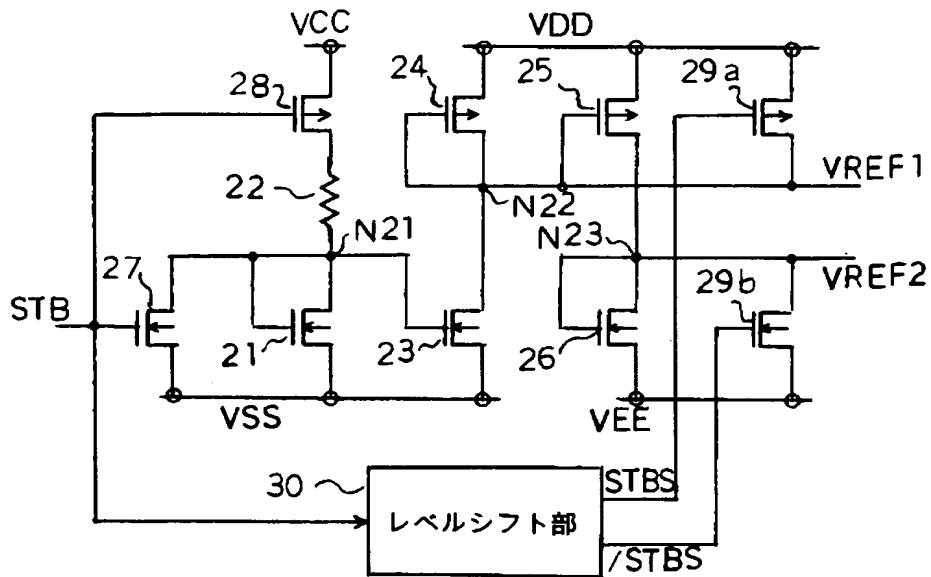


図 1 中のレベルシフト部

【図 4】



本発明の実施例 2 の基準電圧発生回路

【書類名】要約書

【要約】

【課題】 大きな回路パターンを必要とせず、基準電圧発生回路の消費電流を制限する。

【解決手段】 例えば3Vの電位VCCと0Vの電位VSSの間に、ダイオード接続されたPMOS11と抵抗12を直列接続し、このPMOS11に定電圧を発生させる。PMOS11に電流ミラーを構成するPMOS13を接続し、このPMOS13をダイオード接続されたNMOS14を介して-15Vの電位VEEに接続する。これにより、NMOS14のドレインから基準電圧VREF1が出力される。更に、NMOS14には、電流ミラーを構成するNMOS15が接続され、このNMOS15がダイオード接続されたPMOS16を介して+15Vの電位VDDに接続される。これにより、PMOS16のドレインに基準電圧VREF2が出力される。電流制限用の抵抗12に印加される電圧が小さいので、抵抗値（回路パターン）が小さくても、電流を十分制限することができる。

【選択図】 図1

特願 2 0 0 3 - 2 7 0 9 5 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 2 7 0 9 5 5

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 4 9 8 9 3]

1. 変更年月日

1 9 9 9 年 6 月 1 7 日

[変更理由]

名称変更

住 所

宮崎県宮崎郡清武町大字木原 7 0 8 3 番地

氏 名

株式会社 沖マイクロデザイン